

## MENU

SEARCH

## INDEX

1/1



**JAPANESE PATENT OFFICE**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06067979

(43)Date of publication of application: 11.03.1994

(51)Int.Cl.

**G06F 12/08**

G06F 12/08

G06F 15/16

**(21)Application number: 04222365**

**(71)Applicant:**

NEC COMMUN SYST LTD

(22)Date of filing: 21.08.1992

(72)Inventor:

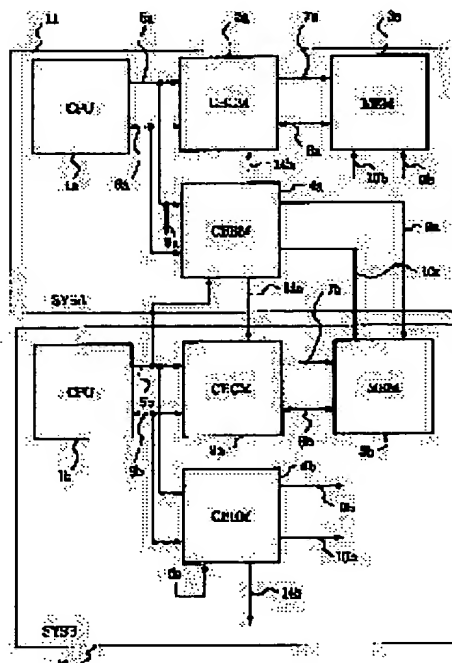
**ABE MICHIO**

## (54) CONTROL SYSTEM FOR MAIN STORAGE DEVICE

**(57)Abstract:**

**PURPOSE:** To attain a quick switching processing without a flash processing though a cache-flash is usually requested at the time of switching a fault since writing to a cache is not at once reflected to a main storage device when a copy-back cache is adopted for the duplex processor system of a memory synchronization.

**CONSTITUTION:** Between the information processing systems (SYSA and B) 11, 12 of active and standby systems, copy-back buffer devices (CBBM) 4a, 4b are respectively provided to store a switching content which is not reflected to the main storage device (MEM) 3b of the standby system is CBBM 4a of SYSA 11, for example. At the time of system switching occurring, whether to hit or not in the CBBM 4a is investigated at individual memory accesses so as to invalidate an entry at the time of hitting in writing. At the time of hitting in reading, the main storage reading of a copy-back cache memory (CBCM) 2a is stopped t



back to the main storage device (MEM) 3b.

---

**LEGAL STATUS**

[Date of request for examination] 31.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

---

**MENU**

**SEARCH**

**INDEX**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 6 7 9 7 9

(43) 公開日 平成6年(1994)3月11日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	12/08	3 1 0 Z	7608-5 B	
		J	7608-5 B	
15/16	4 7 0 D	9190-5 L		

審査請求 未請求 請求項の数 1

(全 5 頁)

(21) 出願番号 特願平 4 - 2 2 2 3 6 5

(22) 出願日 平成4年(1992)8月21日

(71) 出願人 000232254

日本電気通信システム株式会社

東京都港区三田一丁目4番28号

(72) 発明者 阿部 道夫

東京都港区三田一丁目4番28号日本電気通

信システム株式会社内

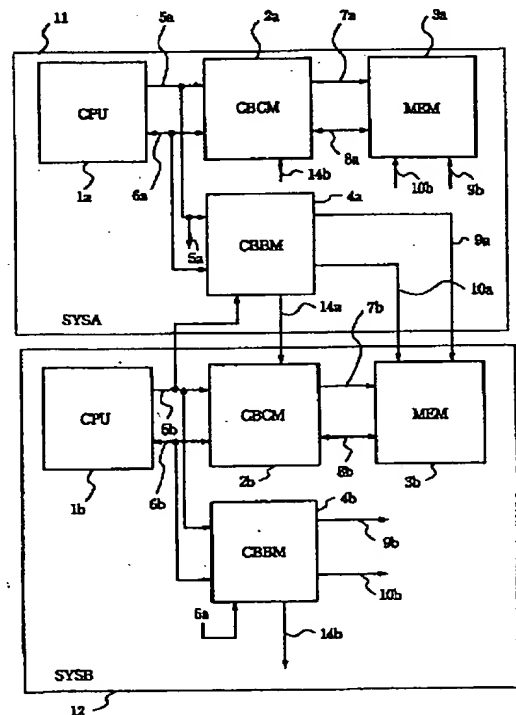
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 主記憶装置の制御方式

(57) 【要約】

【目的】 メモリ同期の2重化プロセッサシステムにコピーバック・キャッシュを採用する場合、すぐにキャッシュへの書き込みが主記憶装置に反映しないため、障害切替え時にキャッシュフラッシュする必要があるが、フラッシュ処理なしに高速に切替え処理を行う。

【構成】 現用系と待機系の情報処理システム (SYS A, B) 11, 12間にそれぞれコピーバック・バッファ装置 (CBBM) 4a, 4bを設け、例えばSYS A 11のCBBM 4a内に待機系の主記憶装置 (MEM) 3bに反映されていないライト内容を保存しておく。系切替えが発生した後は、メモリアクセス毎にこのCBBM 4a内にヒットするかを調べ、ライトでヒットした場合はエントリの無効化を行う。リードでヒットした場合はコピーバック・キャッシュメモリ (CBCM) 2aの主記憶読みだしを停止させ、CBBM 4a内のデータを主記憶装置 (MEM) 3bに書き戻す処理を行う。



## 【特許請求の範囲】

【請求項 1】 装置が二重化されて二つの系を持っている情報処理システムの片側の系に障害が発生した場合に障害が発生した系から発生していない系に処理を継続することを行うために両系のそれぞれの主記憶装置の内容を常に一致するように制御しているコピーバック・キャッシュメモリを採用した二重化された情報処理システムの主記憶装置の制御方式において、前記二つの系間に前記二つの系それぞれが持つ記憶装置のライト内容を保存するバッファを前記二つの系それぞれに設け、第 1 の系から第 2 の系に系の切替りが発生した場合に、切替え後の前記第 2 の系の主記憶装置の記憶内容が更新されておらず、前記第 1 の系のバッファ内に最新内容が保存されている場合に、前記第 2 の系の主記憶装置の記憶内容を使用する前に前記第 1 の系のバッファ内の前記ライト内容を前記第 2 の系の主記憶装置に書込む処理手段を有することを特徴とする主記憶装置の制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は主記憶装置の制御方式に関し、特に二重化された情報処理システムにおける主記憶装置の制御方式に関する。

## 【0002】

【従来の技術】 一般に二重化された情報処理システムでは、情報処理システムの構成要素である演算装置、主記憶装置、制御装置、入出力装置を各 2 台設置して二つの情報処理システムを構成し、その二つのシステムを接続することによって高信頼システムを構成していた。上記情報処理システムの場合、2 つのシステムの一つの系を現用系、もう一つのシステムを待機系として、現用系において必要な処理を行なっている場合に、待機系のシステムにおいては現用系の主記憶装置と同一の内容となるように現用系のデータを両系の間に接続した信号線を使用して転送している。現用系が故障した場合は処理を待機系によって現用系と一致させてある主記憶装置によって続行することによって処理を中断することなく続行できる。

【0003】 従来の主記憶装置の制御方式では、現用系の主記憶装置への書き込みをすぐに待機系の主記憶装置に反映する必要があるため、キャッシュメモリを採用する場合には、主記憶装置への書き込みは即座に行われるライトスルー方式を採用するが多い。また、即座に主記憶装置への書き込みが行われないコピーバック方式のキャッシュメモリを採用する場合には、系の切替え前にキャッシュメモリ内のまだ主記憶装置が更新されていない内容を主記憶装置へ書き戻し、主記憶装置に反映してから切り換えることを行っている。

## 【0004】

【発明が解決しようとする課題】 上述した従来の主記憶装置の制御方式では、現用系で障害が発生するまで行っ

ていた処理を、中断なく待機系で継続する必要があるため、処理開始時に主記憶装置の内容を現用系と待機系とで一致させておき、その後の処理で現用系の主記憶装置へのライトが発生した時点で待機系にもおなじ内容を書き込むことによって、両系の主記憶装置の一致を保っている。

【0005】 この様な制御方式の場合、主記憶装置の性能を向上させるためシャッシュメモリを導入しようとする、主記憶装置の更新がすぐに行われなければならないためライトスルーキャッシュ方式を導入しなければならない。しかし、ライトスルーキャッシュ方式はライト時は主記憶装置の書込速度になってしまい、ライトの頻度の高いシステムではキャッシュメモリ導入の効果が半減してしまいうという問題点がある。

【0006】 又、ライト時の性能向上のためコピーバック・キャッシュ方式を採用した場合には、障害が発生した時点ではキャッシュメモリの内容は更新されているが、主記憶装置の内容はまだ更新されておらず、従って、待機系の主記憶装置も更新されていない状態となる。そのため、切り替え処理を行うときにキャッシュメモリ内の主記憶装置未更新部分を待機系の主記憶装置反映する処理が必要となるという問題点がある。

【0007】 この待機系の主記憶装置の更新処理は障害の発生した系のハードウェアを使用しなければならないため、正常に終了することを期待することはむずかしく、速やかに処理を継続しなければならないシステムでもあるにかかわらず切替処理に多くの時間がかかるという問題点がある。

## 【0008】

【課題を解決するための手段】 本発明の主記憶装置の制御方式は、装置が二重化されて二つの系を持っている情報処理システムの片側の系に障害が発生した場合に障害が発生した系から発生していない系に処理を継続することを行うために両系のそれぞれの主記憶装置の内容を常に一致するように制御しているコピーバック・キャッシュメモリを採用した二重化された情報処理システムの主記憶装置の制御方式において、前記二つの系間に前記二つの系それぞれが持つ記憶装置のライト内容を保存するバッファを前記二つの系それぞれに設け、第 1 の系から第 2 の系に系の切替りが発生した場合に、切替え後の前記第 2 の系の主記憶装置の記憶内容が更新されておらず、前記第 1 の系のバッファ内に最新内容が保存されている場合に、前記第 2 の系の主記憶装置の記憶内容を使用する前に前記第 1 の系のバッファ内の前記ライト内容を前記第 2 の系の主記憶装置に書込む処理手段を有している。

## 【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図 1 は本発明の一実施例を適用する二重化

情報処理システムを示すブロック図である。

【0011】図1において、本適用例の二重化情報処理システムは障害時に処理を引き継ぐために同じ構成のシステムが2式接続されていて、現用系情報処理システム（以下SYSA）11と、障害時に処理を引き継ぐ待機情報処理システム（SYSB）12とから成っている。

【0012】SYSA11はプロセッサ（以下CPU）1aと、CPU1aにアドレスバス5a、データバス6aで接続されたコピーバック・キャッシュメモリ（以下CBCM）2aと、CBCM2aにアドレスバス7a、データバス28aで接続された主記憶装置（以下MEM）3aと、CPU1aにアドレスバス5a、データバス6aで接続されたコピーバック・バッファ装置（以下CBBM）4aとを有して構成している。

【0013】又、SYSB12はSYSA11と同様にCPU16と、CBCM2aと、MEM3bと、CBBM4bとを有して構成している。

【0014】尚、SYSA11のCBBM4aはSYSB12のMEM3bにアドレスバス9aとデータバス10aとで接続され、SYSB12のCBBM4bはSYSA11のMEM3aにアドレスバス9bとデータバス10bとで接続され、本適用例はSYSA11とSYSB12とが互いに対称形に接続されたシステム構成となっている。

【0015】図2は本適用例におけるコピーバック・バッファ装置の一例を示し現用系情報処理システム内の場合を示すブロック図である。

【0016】図2において、SYSA11内のCBBM4aはCPU1aとデータバス6aで接続されたデータメモリ21aと、CPU1aからのアドレスバス5aとCPU1bからのアドレスバス5bとに接続されデータメモリ21aにストアされているMEM3aのコピーのアドレスを示すタグメモリ20aと、データの有効を示すフラグ及び書き込みが行われていたことを示すフラグからなる有効フラグメモリ22aとを有して構成している。

【0017】次に本適用例の動作について図1、図2を併用して説明する。

【0018】SYSA11、SYSB12が動作開始したときはCBCM2a、2b内の主記憶のコピーは全て無効状態となっている。このとき、CPU1aがMEM3aの読出しを、アドレスバス5aを通してCBCM2aに対し指示すると、CBCM2a内にアドレスに対応したMEM3aの内容のコピーを捜す。対応したMEM3aのコピーが存在しない場合は、CBCM2aはアドレスバス7aを通してMEM3aの読出しを指示する。MEM3aはアドレスに対応した主記憶の内容をデータバス8aを通してCBCM2aに返送する。CBCM2aはMEM3aより返送された主記憶装置の内容をデータバス6aを通してCPU1aに送ると同時にCBCM

2a内の空いた有効フラグがセットされていないバッファに主記憶装置のコピーとしてデータメモリ21aに保存し、対応したアドレスをタグメモリ20aにストアする。また、このコピーが有効であることを示すために有効フラグをセットする。空いたバッファがない場合はもっとも昔に参照されたバッファを選択しストアする。このとき、ライトされたことを示すフラグをクリアし、その後読み出したMEM3aの内容をストアする。

【0019】上記のようにCBCM2a内にMEM3aのコピーがある場合にはMEM3aをアクセスすることなく、CBCM2a内に保存されたMEM3aのコピーをCPU1aに返送できCPU1aからは見かけ上MEM3aが高速化されたようになる。

【0020】CPU1aがライトを行った場合には、アドレス5aを通して書き込みアドレスをCBCM2aに指示すると同時にデータバス6に書き込むデータを送る。アドレスとデータを受け取ったCBCM2aはCBCM2a内に書き込むアドレスと同じアドレスのコピーが存在したならそれを置き換え、ライトしたことを示すフラグをセットする。存在しなかった場合にはリード時に存在しなかったと同じ処理を行い、データをストアする。

【0021】CPU1aのライト時はCBCM2aに伝えられると同時にCBBM4aにアドレスバス5aとデータバス6aを経由してライトアドレスとデータが伝えられる。CBBM4aは図2に示す構造となっており、アドレスバス5aを経由したアドレスはタグメモリ20aの全てのエントリと比較され一致したアドレスがあった場合、あったことを示す信号のアドレス一致信号24aに出力され、あったエントリの場所がアドレス一致エントリ番号25aを通してデータメモリ21aの有効フラグメモリ22aに示される。

【0022】一致したエントリの有効フラグがセットされていた場合、ライトするアドレスに対応したエントリが有効であることを示すキャッシュリード停止信号14aとして出力され、同じエントリのデータメモリ上に上書きされる。一致したエントリがなかった場合、有効フラグがセットされていない空のエントリを捜し、空いたエントリのタグメモリにアドレス、データメモリにデータを書き、有効フラグをセットする。空いたエントリがなかった場合、もっとも古く書き込まれたエントリのデータをデータバス10aとアドレスバス9aを経由して待機系のMEM3bに書き込んだ後そのエントリに新しいデータを書き込む。

【0023】上記のように現用系の処理が進むと、CBCM2aのキャッシュメモリには最近使用したMEM3aのコピーが保存されるようになり、プログラムの参照の局所性によりCBCM2aのキャッシュメモリ内にアクセスするデータが存在する確率が高くなり、平均的なMEM3aのアクセスタイムが早くなる。まCBBM4

aには最近書かれたデータが保存され、SYSB12のMEM3bの内容はCBBM4bに保存されているものを除いて、SYSA11のMEM3aの内容と一致することになる。

【0024】このとき、SYSA11に障害が発生し、SYSB12が処理を引き継ぐと、前に待機系だった新稼働系のSYSB12は、旧稼働系のSYSA11と同様にCPU11bがCBCM2aをアクセスして動作するが、このときMEME3b内にあるデータが旧稼働系のSYSA11系のCBBM4a内に残されており、最新でない場合がある。そこで、SYSB12内のアドレスバス5bはCBCM2bだけでなく相手系のSYSA11のCBBM4aにも接続されており、アドレスバス5bからアドレスを受け取ったCBBM4aは、5bで示されたアドレスのコピーがあるかを調べ、あった場合にはライト時は有効フラグメモリ22aの有効ビットをクリアする。リード時には、キャッシュリード停止信号14aを経由して存在していたことをCBCM2bに示し、CMCM2bの主記憶読みだし動作を一時中止させ、データメモリの内容をアドレスバス9b、データバス10bを経由してMEM3aに書き込むと同時に、有効フラグをクリアする。その後、CMCM2bの処理を再開させ正しいデータをCBCM2bに読ませることが可能となる。

#### 【0025】

【発明の効果】以上説明したように本発明は、装置が二重化されて二つの系を持っている情報処理システムの片側の系に障害が発生した場合に障害が発生した系から発生していない系に処理を継続することを行うために両系のそれぞれの主記憶装置の内容が常に一致するように制御しているコピーバック・キャッシュメモリを採用した二重化された情報処理システムの主記憶装置の制御方式において、二つの系間に前記二つの系それぞれが持つ記憶装置のライト内容を保存するバッファを前記二つの系それぞれに設け、第1の系から第2の系に系の切替りが発生した場合に、切替え後の第2の系の主記憶装置のライト内容が更新されておらず、第1の系のバッファ内に最新内容が保存されている場合に、第2の系の主記憶装

置の記憶内容を使用する前に第1の系のバッファ内のライト内容を第2の系の主記憶装置に書込む処理手段を有することにより、系の切替え時に切替え側のキャッシュメモリの内容を同じ系の主記憶装置に書き戻す処理なしに、切替えられたコピーバック・キャッシュメモリを使用することが可能となるので、切替えられた主記憶装置へのライト時のメモリアクセスの性能が向上し、障害時の切替え処理を従来より高速にすることができるとい  
効果を有する。

#### 【図面の簡単な説明】

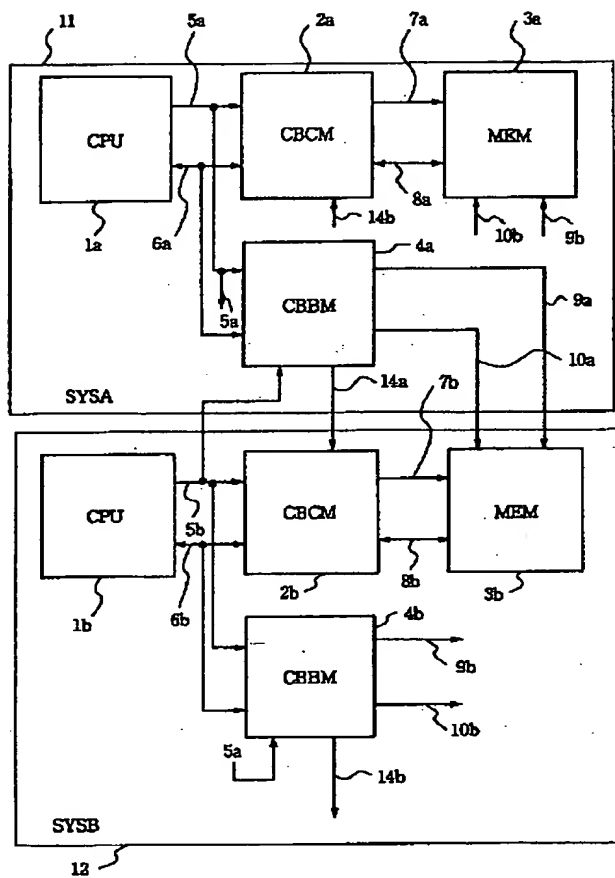
【図1】本発明は一実施例を適用する二重化情報処理システムを示すブロック図である。

【図2】本適用例におけるコピーバック・バッファ装置の内部構成を示す図である。

#### 【符号の説明】

- |            |                           |
|------------|---------------------------|
| 1 a, 1 b   | プロセッサ (CPU)               |
| 2 a, 2 b   | コピーバック・キャッシュメモリ装置 (CBCM)  |
| 3 a, 3 b   | 主記憶装置 (MEM)               |
| 4 a, 4 b   | コピーバック・バッファ装置 (CBBM)      |
| 5 a, 5 b   | プロセッサ・キャッシュ間アドレスバス        |
| 6 a, 6 b   | プロセッサ・キャッシュ間データバス         |
| 7 a, 7 b   | キャッシュ・主記憶間アドレスバス          |
| 8 a, 8 b   | キャッシュ・主記憶間データバス           |
| 9 a, 9 b   | コピーバック・バッファ・相手系主記憶間アドレスバス |
| 10 a, 10 b | コピーバック・バッファ・相手系主記憶間データバス  |
| 11         | 現用系情報処理システム (SYSA)        |
| 12         | 待機系情報処理システム (SYSB)        |
| 14 a, 14 b | キャッシュリード停止信号              |
| 20 a       | タグメモリ                     |
| 21 a       | データメモリ                    |
| 22 a       | 有効フラグメモリ                  |
| 23 a       | 有効フラグ                     |
| 24 a       | アドレス一致信号                  |
| 25 a       | アドレス一致エントリ番号              |

【図 1】



【図 2】

